

РЕАЛИЗАЦИЯ УНИВЕРСАЛЬНОГО АСИНХРОННОГО ПРИЕМОПЕРЕДАТЧИКА НА КРИСТАЛЛЕ ПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ ИНТЕГРАЛЬНОЙ СХЕМЫ

И.В. Ронжин

ronzhin.iw@yandex.ru

SPIN-код: 3319-4099

А.В. Макарова

rada.belz@yandex.ru

SPIN-код: 8912-0490

МГТУ им. Н.Э. Баумана, Москва, Российская Федерация

Аннотация

Дано описание принципа функционирования и характеристик передачи данных универсального асинхронного приемопередатчика, а также показана целесообразность используемого протокола передачи данных. Представлен способ реализации универсального асинхронного приемопередатчика на кристалле программируемой логической интегральной схемы. Показаны передовые возможности программируемых логических интегральных схем; представлены функциональные схемы работы приемника и передатчика последовательного канала данных. Для достижения поставленных целей была изучена среда разработки и язык описания электронных схем; разработаны структурные схемы прибора, а также отмечены преимущества использования разработанного устройства в космической технике. В итоге исследования реализовано устройство, отвечающее всем заявленным условиям.

Ключевые слова

Программируемые логические интегральные схемы, универсальный асинхронный приемопередатчик, протокол передачи данных по UART, схема приемника RX, схема передатчика TX, реализация UART в ПЛИС

Поступила в редакцию 03.04.2018

© МГТУ им. Н.Э. Баумана, 2018

В настоящее время космическая техника непрерывно развивается, и для проведения исследований на Международной космической станции (МКС) необходима сложная многофункциональная аппаратура, которая при использовании элементов прошлого поколения (работающих на реле) будет громоздкой, тяжелой, не способной к транспортировке на МКС. Возникает необходимость в компактной, но в то же время производительной и надежной аппаратуре, которую было бы легко вывести на орбиту. Основным компонент, который позволяет создать аппаратуру, удовлетворяющую вышеуказанным требованиям — программируемая логическая интегральная схема (ПЛИС). На основе кристалла ПЛИС появляется возможность реализации различных интерфейсов взаимодействия интегральных схем с другими устройствами. Примером интерфейса является универсальный асинхронный приемопередатчик [1, 2].

Протокол UART (Universal asynchronous receiver/transmitter), или УАПП (универсальный асинхронный приемопередатчик) — один из самых старейших, однако

и самый известный на сегодняшний день физический протокол передачи данных. Одним из самых широко применяемых протоколов семейства UART является RS-232 (COM-порт). Широкое применение и неослабевающую актуальность UART приобрел благодаря своей простоте и надежности функционирования [3].

Данные передаются по двум линиям — RXD (Received Data) и TXD (Transmitted Data), являющимися принимающей и передающей соответственно. Выход передатчика TX соединен с входом приемника RX, и наоборот (рис. 1) [3].

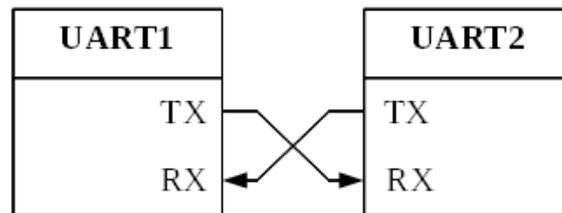


Рис. 1. Подключение двух устройств по протоколу UART

Стандартная посылка занимает 10 бит (рис. 2). При отсутствии обмена данными линия находится в состоянии логической единицы. Начало передачи обозначается передачей стартового бита, который всегда равен нулю. Далее передаются восемь бит данных. Завершают посылку бит четности и стоповый бит. Бит четности осуществляет проверку корректности переданных данных. Стоповый бит информирует, что пересылка данных завершена. Стоповый бит может занимать 1, 1.5 и 2 бита. Скорости передачи COM-порта стандартизированы. Чаще всего устройства работают на трех стандартных скоростях: 9 600, 19 200 и 115 200 бит в секунду, но возможны другие варианты [3].



Рис. 2. Состав посылки одного байта данных

Интерфейс UART присутствует во многих устройствах, имеющих в своем составе процессор или микроконтроллер. В этих устройствах, как правило, имеется программа настройки параметров передачи данных по UART, например, скорости передачи, наличия или отсутствия бита четности и др.

В настоящее время практически все электронные приборы имеют в своем составе программируемые логические интегральные схемы (ПЛИС) [4]. Программируемая логическая интегральная схема — электронный компонент, используемый для создания цифровых интегральных схем. Логика работы ПЛИС не определяется при изготовлении, а задается посредством программирования. Для разработки требуемой электрической схемы используется среда разработки,

позволяющая задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или с помощью специальных языков описания электронных схем: Verilog, VHDL, AHDL и др. [5, 6].

Программируемые логические интегральные схемы широко применяются в цифровой схемотехнике благодаря тому, что их технические характеристики колоссально высоки: благодаря низкому времени задержки на вентиль существенно возросло быстродействие микросхемы, а также снизилась потребляемая мощность устройств. Но одним из самых главных преимуществ является то, что в ПЛИС можно реализовать практически любую цифровую схему [7].

Для прошивки конфигурации в ПЛИС можно использовать протокол UART. При этом в нем не потребуется использовать дополнительные микросхемы, поскольку данный интерфейс можно реализовать непосредственно в самой ПЛИС [8].

Для создания конфигурации ПЛИС обычно применяют среду разработки конфигураций, которая выпускается каждой корпорацией-изготовителем ПЛИС для своих микросхем. Например, для ПЛИС фирмы Actel имеется среда разработки Libero IDE, включающая в свой состав не только текстовые и графические редакторы для создания схем, но и программы для моделирования, трассировки и синтеза разработанной логики [9–11].

Попробуем реализовать протокол UART в ПЛИС. Для этого необходимо создать цифровую схему, в которую должны входить приемник RX и передатчик TX. Поскольку микросхемы работают на больших частотах, возникает необходимость подстраивать частоту принимаемых сигналов для обеспечения корректности передаваемых данных и синхронизации их передачи. Для этого необходимо разработать делитель частоты. В ПЛИС чаще всего реализуются параллельные шины передачи данных, а приемопередатчик обменивается данными с внешними абонентами по последовательной линии связи, поэтому необходимо создать последовательно-параллельный и параллельно-последовательный сдвиговые регистры для приемника и передатчика соответственно.

После реализации в графическом редакторе были получены следующие цифровые схемы (рис. 3, 4).

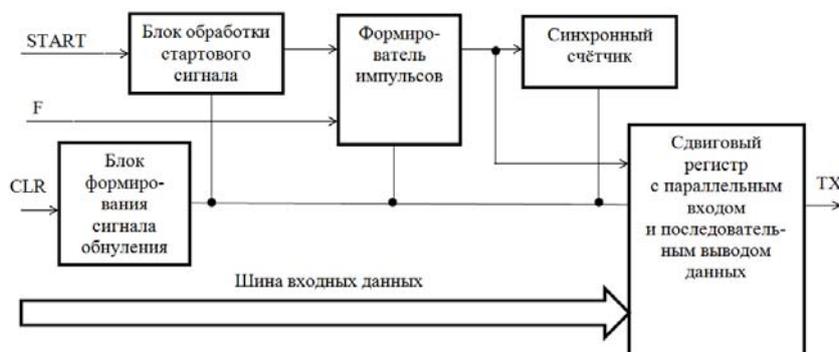


Рис. 3. Функциональная схема передатчика

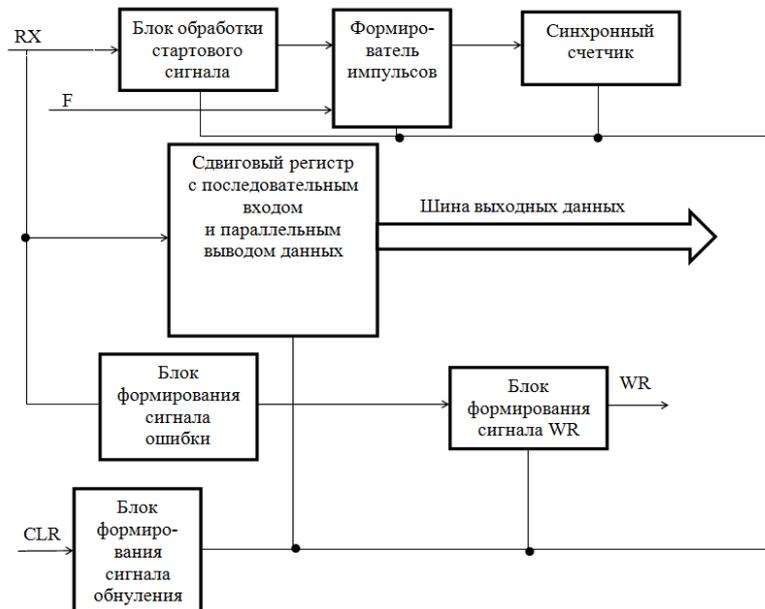


Рис. 4. Функциональная схема приемника

Вид и структура данных схем могут быть абсолютно разными, к тому же гораздо удобнее описывать данные элементы с помощью языка VHDL или Verilog [12].

Схема состоит из блоков, каждый из которых выполняет определенные функции.

В состав функциональной схемы входит сдвиговый регистр, на который поступают входные данные и тактовый сигнал. Блок обработки стартового сигнала принимает сигнал начала передачи данных и активирует формирователь импульсов. На формирователь импульсов подается частота микросхемы 1 МГц и сигнал разрешения, при котором формирователь начинает выдавать рабочую частоту передатчика, обеспечивающую скорость передачи данных, равную 115 200 бит/с. В синхронном счетчике отсчитывается необходимое количество тактов для передачи данных и синхронизации работы схемы. Блок формирования сигнала обнуления обнуляет элементы микросхемы после передачи байта данных и в момент включения схемы.

Данные через линию связи подаются параллельно на сдвиговый регистр и на блок обработки стартового сигнала (рис. 4). При подаче сигнала разрешения на блок формирователя импульсов, он начинает преобразовывать частоту микросхемы в 1 МГц и рабочую частоту, обеспечивающую скорость передачи данных, равную 115 200 бит/с. Рабочая частота подается на счетчик, который отсчитывает такты для синхронной работы регистра и формирователя частоты. Блок формирования сигнала ошибки предназначен для защиты передачи данных от помех на линии связи. Блок формирования сигнала WR выдает импульс при окончании приема байта данных. Блок формирования сигнала обнуления обнуляет элементы схемы в момент ее включения и после каждого приема байта данных.

Таким образом, был разработан универсальный асинхронный приемопередатчик, обладающий гибкостью измерения передачи данных и занимающий минимальный объем ПЛИС. Благодаря наглядности реализации UART на ПЛИС легко обнаружить любые ошибки при моделировании процесса передачи данных, а также быстро скорректировать систему.

Литература

- [1] ПЛИС — интегральные схемы программируемой логики.
URL: <http://t-way.ru/articles/programmable-logic-device> (дата обращения 01.09.2017).
- [2] Введение в CAN 2.0В интерфейс.
URL: <http://www.microchip.ru/files/d-sheets-rus/an713.pdf> (дата обращения 28.08.2017).
- [3] Иванов Ю.И., Югай В.Я. *Интерфейсы средств автоматизации*. Таганрог, Изд-во ТРТУ, 2005, 252 с.
- [4] Тарасов И. FPGA SPARTAN-3E фирмы Xilinx. Новые перспективы. *Электроника: НТБ*, 2005, № 3, с. 14–18.
- [5] Бибило П.Н. *Системы проектирования интегральных схем на основе языка VHDL*. Москва, СОЛОН-Пресс, 2005, 384 с.
- [6] Сергиенко А.М. *VHDL для проектирования вычислительных устройств*. Киев, ЧП «Корнейчук», ТИД ДС, 2003, 208 с.
- [7] Королев Н. Программируемая логика — взгляд со стороны Atmel. *Chip News*, 2000, № 7. URL: <http://www.chipinfo.ru/literature/chipnews/200007/25.html>.
- [8] Тарасов И. ПЛИС Xilinx и цифровая обработка сигналов. Особенности, преимущества, перспективы. *Электроника: НТБ*, 2011, № 3, с. 70–74.
- [9] Карпов С. Процесс разработки проекта для ПЛИС в пакете Actel Libero IDE. Ч. 1. *Компоненты и технологии*, 2008, № 87, с. 50–52.
- [10] Карпов С. Actel: новые технологии, передовые решения. *Электроника: НТБ*, 2007, № 7, с. 78–79.
- [11] Карпов С. ПЛИС корпорации Actel для портативных систем. Семейство IGLOO/E. *Электроника: НТБ*, 2007, №8, с. 67–69.
- [12] Муравьев А.Н. *Разработка цифровых схем на базе программируемой логики*. Самара, Изд-во СГАУ, 2010, 68 с.

Ронжин Иван Владимирович — студент кафедры «Системы автоматического управления», МГТУ им. Н.Э. Баумана, Москва, Российская Федерация.

Макарова Алена Владимировна — студент кафедры «Системы автоматического управления», МГТУ им. Н.Э. Баумана, Москва, Российская Федерация.

Научный руководитель — Васильева Татьяна Владимировна, ассистент кафедры «Технологии ракетно-космического машиностроения», МГТУ им. Н.Э. Баумана, Москва, Российская Федерация.

**IMPLEMENTATION OF THE UNIVERSAL ASYNCHRONOUS
RECEIVER-TRANSMITTER ON THE PROGRAMMABLE LOGICAL
INTEGRATED CIRCUIT DIE**

I.V. Ronzhin

ronzhin.iw@yandex.ru

SPIN-code: 3319-4099

A.V. Makarova

rada.belz@yandex.ru

SPIN- code: 8912-0490

Bauman Moscow State Technical University, Moscow, Russian Federation

Abstract

The article describes the operating principle and data transmission characteristics of the universal asynchronous receiver-transmitter and shows the practicability of the applied data transfer protocol. It introduces an implementation medium for the universal asynchronous receiver-transmitter on the programmable logical integrated circuit die. We show the advanced features of the programmable logical integrated circuits and present the functional flow charts of the serial data link receiver and transmitter. In order to achieve the set goals, we have examined the programming environment and the description language of the electronic circuits. We have developed the structural flow charts of the device and noted the advantages of applying the designed device in space technology. As a result of our research we have invented a device meeting all the stated conditions.

Keywords

Programmable logical integrated circuits, universal asynchronous receiver-transmitter, UART data protocol, RX receiver circuit, TX transmitter circuit, implementation of UART in programmable logical integrated circuits

© Bauman Moscow State Technical University, 2018

References

- [1] PLIS — integral'nye skhemy programmiruemoy logiki [FPGA — integral schemes of programmable logic]. Available at: <http://t-way.ru/articles/programmable-logic-device> (accessed 01 September 2017).
- [2] Vvedenie v CAN 2.0B interfeys [Introduction to CAN 2.0B interface]. Available at: <http://www.microchip.ru/files/d-sheets-rus/an713.pdf> (accessed 28 August 2017).
- [3] Ivanov Yu.I., Yugay V.Ya. Interfeysy sredstv avtomatizatsii [Interface of automation facilities]. Taganrog, TRTU publ., 2005, 252 p.
- [4] Tarasov I. FPGA SPARTAN-3E firmy Xilinx. Novye perspektivy [FPGA SPARTAN-3E by Xilinx. New prospects]. *Elektronika: NTB* [Electronics: STB], 2005, no. 3, pp. 14–18.
- [5] Bibilo P.N. Sistemy proektirovaniya integral'nykh skhem na osnove yazyka VHDL [Development systems for computing units based on VHDL]. Moscow, SOLON-Press publ., 2005, 384 p.
- [6] Sergienko A.M. VHDL dlya proektirovaniya vychislitel'nykh ustroystv [VHDL for development computing units]. Kiev, ChP «Korneychuk» publ., TID DS publ., 2003, 208 p.
- [7] Korolev N. Programmable logic — Atmel's side of the story. *Chip News*, 2000, no. 7. Available at: <http://www.chipinfo.ru/literature/chipnews/200007/25.html>.

- [8] Tarasov I. PLIS Xilinx and digital signal processing. Features, advantages, prospects. *Elektronika: NTB* [Electronics: STB], 2011, no. 3, p. 70–74.
- [9] Karpov S. Development process for FPGA in Actel Libero IDE. P. 1. *Komponenty i tekhnologii* [Components & Technologies], 2008, no. 87, pp. 50–52.
- [10] Karpov S. Actel: New technologies. Advanced solutions. *Elektronika: NTB* [Electronics: STB], 2007, no. 7, pp. 78–79.
- [11] Karpov S. Actel FPGA for portable systems. IGLOO/e family. *Elektronika: NTB* [Electronics: STB], 2007, no. 8, pp. 67–69.
- [12] Murav'yev A.N. Razrabotka tsifrovyykh skhem na baze programmiruemoy logiki [Designing digital schemes based on programmable logic]. Samara, SGAU publ., 2010, 68 p.

Ronzhin I.V. — student, Department of Automatic Control Systems, Bauman Moscow State Technical University, Moscow, Russian Federation.

Makarova A.V. — student, Department of Automatic Control Systems, Bauman Moscow State Technical University, Moscow, Russian Federation.

Scientific advisor — T.V. Vasileva, Assistant, Department of Aerospace Engineering Technologies, Bauman Moscow State Technical University, Moscow, Russian Federation.